

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



POLYGLOT INTERNATIONAL

Global Management of Language-Related Projects

340 Brannan Street, Fifth Floor
San Francisco, CA 94107 • USA

Tel (415) 512-8800

FAX (415) 512-8982

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
- (11) Japanese Laid-Open Patent Application (Kokai) No. 58-215794
- (12) Official Gazette for Laid-Open Patent Applications (A)

(51)	<u>Int. Cl.³:</u>	<u>Classification Symbols:</u>	<u>Internal Office Registration Nos.:</u>
	G 11 C 17/00	101	6549-5B
	H 01 L 27/10		6655-5F
	29/78		7514-5F

- (43) Laying-Open Date: December 15, 1983
- Request for Examination: Not yet submitted
- Number of Inventions: 1
- (Total of 5 pages [in original])

(54) Title of the Invention: Nonvolatile Memory Device

- (21) Application No. 57-98307
- (22) Filing Date: June 8, 1982
- (72) Inventor: Noriyuki Tanaka
- (71) Applicant: Toshiba Corp.
- (74) Agent: Kiyoshi Inomata, Patent Attorney, and three others

SPECIFICATION

1. Title of the Invention

Nonvolatile Memory Device

2. Claims

An electrically programmable nonvolatile memory device, wherein said nonvolatile memory device is characterized by the fact that the system in which said memory device is used is equipped with a plurality of storage areas in each unit block having the required storage capacity; when one unit block reaches the number of program writes specified for said memory device, another unit block successively replaces [the first]; and each unit block is provided with a dedicated location for storing the number of program writes to that unit block.

3. Detailed Description of the Invention

Field of Industrial Utilization

The present invention relates to a nonvolatile memory device, and in particular to an electrically programmable semiconductor nonvolatile memory device.

Technological Background of the Invention and Related Problems

Semiconductor nonvolatile memory devices make use of a MOS-type FET to store binary information by means of the amount of accumulated charge, and an advantage of said devices is that the content of the memory can be preserved even if the power source is cut off.

There is a variety of such nonvolatile memories, but the one used most widely at the present time is a so-called UV-EPROM (Ultraviolet-Erasable and Programmable ROM). This UV-EPROM irradiates [the memory] with ultraviolet rays in order to erase the content thereof, but a disadvantage is that it has to be removed from the circuit during writing and erasing.

It is for this reason that EEPROM (Electrically Erasable and Programmable ROM) has come into the spotlight of late. The advantage of this EEPROM is that erasing and writing can be performed freely by means of a separately provided erasing and writing device while the EEPROM is still installed, which makes it ideal for systems in which the content of the memory is frequently modified, such as a cash register.

Meanwhile, EEPROM is also combined with ordinary static RAM and used in nonvolatile RAM. This nonvolatile RAM comprises static RAM and EEPROM of equal capacity, and is designed so that the ordinary RAM works when the power is on, and the content is first transferred to the EEPROM and stored as they are immediately prior to the shut-off of the power, and then are returned from the EEPROM side to the static RAM once the power is turned back on, which ensures the nonvolatile nature of the memory.

A problem with this EEPROM is that since a high voltage must be applied during writing, there is a limit to the number of changes to, that is, programmings of, the memory content. As of the present time, the limit to the number of programmings is generally about 1000 to 10,000. It is crucial that this limit not be exceeded during use, the reason being that reliability cannot be ensured whatsoever beyond this limit.

Let us now discuss the operating principles of the EEPROM, as well as the reason for the limit to the number of possible programmings. Figure 1 is a cross section of one cell of a typical EEPROM. Figure 1a shows the state when the program is written, and Figure 1b shows the state during erasure. In Figure 1, a first electrode 11 (a first layer of polysilicone), a floating gate 12 (a second layer of polysilicone), and a second electrode [13] (a third layer of polysilicone; used for writing and erasure) are provided along with an SiO_2 insulating layer 14 over a p-type silicon substrate 10. The floating gate 12 is installed between the first electrode 11 and the second electrode 13 in a floating state.

When [the memory] is programmed (see Figure 1a), the first electrode 11 is fixed at 0 V or ground potential, and a positive high potential +V is applied to the second electrode 13. As a result, the potential of the floating gate 12 also rises up to the positive high potential +V through electrostatic bonding with the second electrode 13. This generates a high electrical field between the floating gate 12 and the first electrode 11, so electrons are moved by tunneling effect from the first electrode 11 toward the floating gate 12, and these electrons are captured by the floating gate 12. Once electrons have been sufficiently captured, the potential of the second electrode 13 is returned to 0 V, and the programming operation is complete. In this state, the

potential of the floating gate 12 is a negative potential. This is because of the captured electrons.

Let us now discuss erasure (see Figure 1b). First, let us assume that this cell has already been programmed and electrons have been captured in the floating gate 12. The first electrode 11 is fixed at 0 V, the floating gate 12 is set at 0 V, and a voltage of +V is applied to the second electrode 13. This generates a high electrical field between the floating gate 12 and the second electrode 13, so the electrons that were captured by the floating gate 12 are expelled by tunneling effect through the silicon insulating layer 14 into the 13. Once there are no more captured electrons present, the erasure operation is complete, and the second electrode 13 is returned to 0 V.

As can be seen from the above description, a state in which electrons have been captured by the floating gate 12 and the potential is negative is the programming state, and the opposite state is the erasure state. These two states correspond to signal logic "1" and "0" in the memory exterior. It is not necessarily true that the programming state will be a logic of "1" and the erasure state "0." This is because the logic designations will be determined by the relationship with peripheral devices.

In the EEPROM discussed above, the cause of the number of programmings being limited is that a high voltage is applied to the second electrode 13 during programming, and electrons are moved by tunneling effect from the first electrode 11 to the floating gate 12. In other words, stress is applied since the electrons break through the SiO_2 insulating layer to move between the first electrode 11 and the floating gate 12, and this leads to the deterioration of the insulating layer. When an erase operation is applied to a cell that is already in an erased state, or when a write operation is applied to a cell that is already in a written state, not that much stress is applied, so the proportional deterioration is vastly less.

It has already been mentioned that there is the danger that the memory content will be erased when such an EEPROM is used in a system in which the program is modified frequently. In the past, this was dealt with by making an appropriate decision based on the usage period of the system and other such factors, and replacing the EEPROM after a suitable period. However, this method is not satisfactory because it still leaves uncertainty as to the reliability of the system. Specifically, the replacement of parts after the system has been shipped to the user is undesirable, and in some cases this replacement can also be very difficult. Furthermore, this replacement takes time and incurs extra expense.

Object of the Invention

An object of the present invention is to offer a memory device with which the number of times the nonvolatile memory has to be replaced is drastically reduced and reliability is enhanced.

Summary of the Invention

In order to achieve the stated object, the memory device of the present invention is characterized by the fact that a nonvolatile memory having a plurality of times the storage capacity required for the system in which said memory will be used is readied; this memory is divided into storage areas for each block of the above-mentioned required storage capacity; when one unit block reaches the number of program writes specified for said memory, another unit block successively replaces [the first]; and each unit block is provided with a dedicated location for storing the number of program writes to that unit block in order to ascertain that the number of program writes has been reached.

Merits of the Invention

With the present invention structured as above, there is no need to replace the memory chip every time the number of program writes reaches the specified limit, and since the limit number can be ascertain for each dedicated location, the memory content will not be erased, and better reliability can be ensured.

Practical Examples of the Invention

The present invention will now be described in detail through the practical examples illustrated in the figures.

First, on the assumption that [all] modern semiconductor memories, and not just EEPROM, have rapidly increasing capacity per chip, the price per chip is not proportional to the storage capacity per chip on the mass-production level, so there is not much difference in the unit price per chip regardless of whether the capacity is small or large. Therefore, it is common for the capacity per chip of available EEPROMs to be much larger than the capacity required for the system. [The present invention] makes it possible to utilize this extra capacity effectively.

Figure 2 is an example of the use of an EEPROM having a capacity that is twice as large as the capacity required for the system. The storage area is divided into a first block 1 and a second block 2. This area is divided into two parts in the word direction. Therefore, the first block 1 and the second block 2, which are unit blocks, each have a capacity greater than the unit capacity required by the system.

To the first and second blocks 1 and 2 are allocated dedicated locations 3 and 4, respectively, that are used to house the number of program writes for the memory. The number of bits of the dedicated locations 3 and 4 corresponds to the limit for the number of program writes of the memory, and the dedicated locations 3 and 4 are each configured by the allocation of corresponding memory cells.

Let us now discuss the operation. First, in short, when the first block 1 is used at first and its number of program writes reaches the specified value, it is switched for the second block 2. When the number of program writes of the second block 2 reaches the specified value, this EEPROM must be replaced.

The count value held in the dedicated locations 3 and 4 can be used to ascertain whether the number of program writes has reached the specified value. Specifically, the dedicated location 3 is set ahead of time to an initial value (say, "0"). Thereafter, every time a program write to the first block 1 occurs, the dedicated location 2 [sic] is read and the value held therein is incremented by one, and this value is again stored in the dedicated location 3. Next, programs are written to storage areas other than the dedicated location 3. The design [of the system] will dictate whether the increment operation or the write is performed first.

There are two types of EEPROM. The first type allows erasure and writing (that is, content changes) in single-word units, while the second type allows single-work units only for writing, and only total erasure is possible.

With the first type of EEPROM, when the first block 1 is being used, for example, the content of the second block 2, which is an unused region, can be changed in single-word units, so there is no deterioration whatsoever. Accordingly, if we let the number of programmings specified for this EEPROM be 5000, then 5000 program changes will be possible with the first block 1 and 5000 with the second block 2, for a total of 10,000 changes.

In the case of the second type of EEPROM, deterioration does not occur during writing because it is performed in single-word units, but since total erasure (that is, both the first and second blocks 1 and 2 at the same time) is performed during erasure, the second block 2, which is an unused region, also undergoes the erasure operation, so, strictly speaking, there is a certain amount of deterioration. However, the

deterioration during erasure is much less than the deterioration during writing. For instance, if we let the number of programmings specified for this EEPROM be 5000 times, then 5000 program changes will be possible with the first block 1 and 4000 with the second block 2 (taking into account the erasure operation of the first block 1), for a total of 9000 changes.

Figure 3 is a block diagram of an example in which the present invention is applied to a nonvolatile RAM configured by combining an ordinary RAM with an EEPROM. In Figure 3, 5 is the RAM, which is divided into a first block 6 and a second block 7, with the blocks 6 and 7 having storage capacity corresponding to that of the first block 1 and second block 2 of the EEPROM, respectively. The blocks 6 and 7 are provided with dedicated locations 8 and 9, respectively. During ordinary system operation, the RAM 5 has various types of information written to it or read from it, and the content of the RAM 5 is stored on the EEPROM side when the system power is off, for instance.

First, let us discuss the relationship between the first blocks 6 and 1. The dedicated location 8 is preset to an initial value (such as "0"). When the content of the RAM 5 is to be stored on the EEPROM side, the dedicated location 8 of the RAM 5 is read out just before this content is stored. The content of the dedicated location 8 thus read is incremented by one and then written back to the dedicated location 8. After the dedicated location 8 has been renewed, the entire content of the RAM 5 is written to the first block 1 of the EEPROM. At this time, the content of the dedicated location 8 is, of course, also written to the dedicated location 3.

Next, when the RAM is to be used again, the entire content stored in the EEPROM is written as it is to the RAM 5 side (this is referred to as "recall").

When this programming change operation reaches the specified number of times, the region used next is switched from the relationship of the first blocks 6 and 1 to the relationship of 7 and 2, and the same operation as above is carried out.

The same considerations as for the above-mentioned first and second types must be given for erasure and writing of the EEPROM used in the above-mentioned nonvolatile RAM as well. As to the first type, since erasure and writing are performed in single-word units, there is no deterioration of the unused region, so it need not be considered. With the second type there is a certain amount of deterioration, but there is no problem if the limit to the number of programs is set somewhat lower. The biggest problem is when both the erasure and the writing are total. In a case such as this, the deterioration can be minimized by pre-writing a value of "0" to all of the

second blocks 6 that are unused regions of the RAM 5, and writing this "0" during storage.

Variation Examples of the Invention

(1) In the practical examples discussed above, the content of the dedicated locations 3 and 4 or 8 and 9 were renewed by successive increments by one every time a program write occurred, but the maximum number of programs secured by the EEPROM may also be preset as an initial value, and the content thereof decremented by one for every change in the program. In this case, it is possible to ascertain how many possible program changes are left to the EEPROM. Also, some kind of display (such as a CRT display or a lamp display) notification may be made when the specified number of programs has been reached, or a change to the program may be prohibited in order to actively prevent the erasure of information.

(2) The EEPROM was described above as being divided in two, but depending on the relation between the information to be stored and the capacity per chip of the EEPROM, it may also be divided into three or four parts. In this case, the structure of the above practical examples may be increased according to the number of divisions.

(3) Also, the EEPROM described above was premised on being a single chip, but a plurality of severally independent EEPROMs may also be used, with each chip corresponding to the "block" referred to in the present invention. In this case, erasure and writing can be performed individually, which makes it possible to prevent deterioration of the unused regions.

4. Brief Description of the Figures

Figure 1 is a cross section of a single cell of a common EEPROM. Figure 1a shows the program writing state, and Figure 1b the erasure state. Figure 2 is a block diagram of a practical example of the memory device of the present invention. Figure 3 is a block diagram of another practical example.

Key: 1 first block, 2 second block, 3 dedicated location, 4 dedicated location, 5 RAM, 6 first block, 7 second block, 8 dedicated location, 9 dedicated location

Figure 1

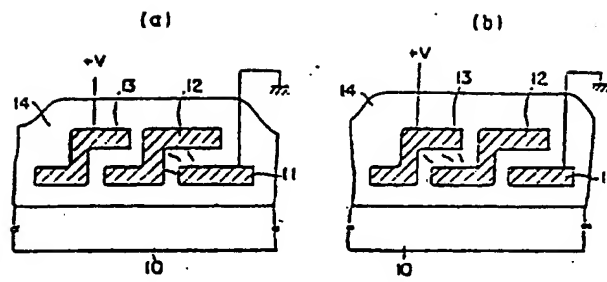


Figure 2

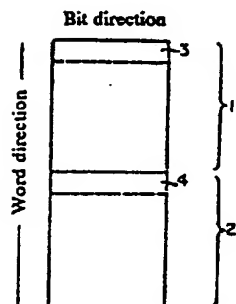
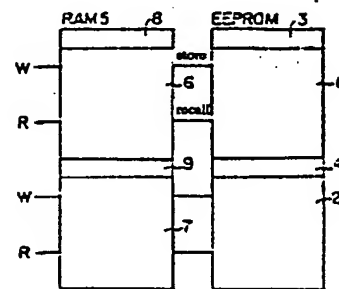


Figure 3



(54) NON-VOLATILE MEMORY DEVICE

(11) 58-215784 (A) (43) 15.12.1983 (19) JP

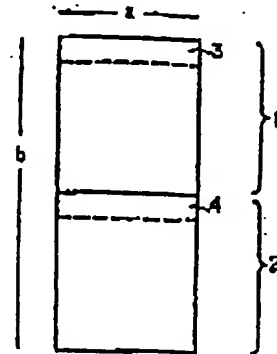
(21) Appl. No. 57-98307 (22) 8.6.1982

(71) TOKYO SHIBAURA DENKI K.K. (72) NORIYUKI TANAKA

(51) Int. Cl. G11C17/00, H01L27/10, H01L29/78

PURPOSE: To decrease the number of times of replacement of a memory and to improve the reliability, by splitting a non-volatile memory having a storage capacity of plural times of that of a system to each block and providing an exclusive location of the number of times of write for each unit block.

CONSTITUTION: A storage area of an EEPROM having a capacity ≥ 2 times the capacity requested to the system is splitted to blocks 1 and 2, and the direction of split is taken in the direction of word arrangement. Exclusive locations 3, 4 to store the number of times of program write to the corresponding memory are allocated to the blocks 1, 2 respectively, and the number of bits of each location corresponds to the limit value of the number of times of program write of the corresponding memory. When the number of times of program write of the block 1 reaches a specified value, the block is used switchingly. Whether or not the number of times of write reaches the specified value is discriminated with a count value stored to the locations 3, 4.



a: direction of bit, b: direction of word

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-215794

⑫ Int. Cl.

G 11 C 17/00

H 01 L 27/10

29/78

識別記号

101

庁内整理番号

6549-5B

6655-5F

7514-5F

⑬ 公開 昭和58年(1983)12月15日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 不揮発性メモリ装置

⑮ 特 願 昭57-98307

⑯ 出 願 昭57(1982)6月8日

⑰ 発 明 者 田中宣幸

青森市末広町二丁目9番地東京

芝浦電気株式会社青森工場内

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 猪股清

外3名

明 細 書

1. 発明の名称 不揮発性メモリ装置

2. 特許請求の範囲

電氣的にプログラム可能な不揮発性メモリ装置において、当該メモリ装置が用いられるシステムに必要な記憶容量を有する単位ブロックの記憶エリアを複数備え、一の単位ブロックが当該メモリ装置に規定されたプログラム書き込み回路に達したとき他の単位ブロックに順次切換えるようにし、各単位ブロックには当該単位ブロックへのプログラム書き込み回路を記憶する専用ロケーションが設けられていることを特徴とする不揮発性メモリ装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は不揮発性メモリ装置、特に電氣的にプログラム可能な半導体不揮発性メモリ装置に関する。

〔発明の技術的背景とその問題点〕

半導体不揮発性メモリはMOS形FETを利用して書き込みの量により2値情報を記憶させるようにしたもので、電源電圧を印加しなくても記憶内容を保持できるという特徴を有する。

かかる不揮発性メモリには種々のものがあるが、今までのところ、いわゆるUV-EPROM (Ultra Violet-Erasable & Programmable ROM) が多く使用されている。このUV-EPROMは記憶内容を消去するのに紫外線を照射して行うものであるが、書き込み、消去に際しては回路から取外さなければならないという不都合がある。

そこで最近研究を浴びているのがEEPROM (Electrically Erasable & Programmable ROM) である。このEEPROMは実施の状態で別途設けた書き込み、消去装置により自由に書き込みを行うことができるという長所を有しているため、記憶内容の変更が頻発するようなシステム、例えば金融記録機などには最適である。

一方、EEPROMは通常のスタティックRAM

と組み合わせて構成される不揮発性RAMにも用いられる。この不揮発性RAMは同容量のスタティックRAMとEEPROMとで構成され、電源投入中において通常のRAMとして動作させ、電源のしや断直前にスタティックRAMに格納されている内容を一旦EEPROMへ移してそのまま保持しておき、電源の再投入後にEEPROM側から再びスタティックRAMへ戻すようにして不揮発性を確保するものである。

かかるEEPROMが有する問題点は、書き込み際して高電圧を印加する必要があるため記憶内容の変更、すなわちプログラム回数が制限されることである。現在のところ、プログラム回数の限度は一般に1000~10000回程度であるとされている。使用に際してはこの制限回数を絶対に守らなければならない。限度を越えた場合の記憶内容はその信頼性において全く保証の限りではないからである。

ここで、EEPROMの動作原理ならびにプログラム回数が制限される理由について説明する。第

1図は代表的なEEPROMの1セルについての断面図であり、(a)はプログラムの書き込み時の状態、(b)は消去時の状態をそれぞれ示している。第1図において、P形Si基板10上には第1層ポリシリコンの第1電極11、第2層ポリシリコンのフローティングゲート12、第3層ポリシリコンの第2電極(書き込み、消去用)がS10、絶縁層14とともに設けられている。フローティングゲート12は第1電極11と第2電極13との間にフローティング(すなわち、浮遊)状態で配設されている。

プログラムする場合(第1図(a)参照)、第1電極11を0(V)又はアース電位に固定し、第2電極13に正の高電位+Vを印加する。このとき、フローティングゲート12の電位も第2電極13との静電結合により正の高電位+Vまで上昇する。すると、フローティングゲート12と第1電極11との間に高電界が発生し、トンネル効果により第1電極11からフローティングゲート12に向って電子が移動し、その電子はフローティングゲート12に捕獲される。電子が十分に捕獲された状態で第2電極

13の電位を0(V)に戻し、プログラム動作を終了する。この状態ではフローティングゲート12の電位は負の電位となつている。電子を捕獲しているからである。

次に、消去する場合(第1図(b)参照)について述べる。まず、このセルはすでにプログラムされ、フローティングゲート12には電子が捕獲されているものとする。第1電極11を0(V)に固定し、フローティングゲート12を0(V)とし、第2電極13に+Vの電圧を印加する。すると、フローティングゲート12と第2電極13との間に高電界が発生し、フローティングゲート12に捕獲されていた電子はトンネル効果によりS1絶縁層14を抜けて第2電極13へ追い出される。捕獲電子が存在しなくなつた状態で消去動作は終了し、第2電極13を0(V)に戻す。

以上からわかるように、フローティングゲート12に電子が捕獲されて負の電位になつている状態がプログラム状態であり、その逆が消去状態である。これら2つの状態がメモリ外部での信号処理

1'、0'に対応する。ただし、プログラム状態が論理1'となるか、消去状態が0'となるかは一義的には定まらない。周辺回路との関係で決まるものだからである。

以上のEEPROMにおいて、プログラム回数が制限される原因はプログラムに際して第2電極13に高電圧を印加し、トンネル効果により第1電極11からフローティングゲート12に電子を移動させることにある。つまり、電子は第1電極11とフローティングゲート12間のS10、絶縁層を突き抜けて移動するためストレスが加わり、絶縁層が劣化してしまうからである。なお、既に消去状態にあるセルに消去動作を加えたり、既に書き込み状態にあるセルに書き込み動作を行つてもセルにはそれほどのストレスは加わらないので劣化の発生割合はきわめて少ない。

このようなEEPROMをプログラムの変更がひんぱんに行われるシステムに使用した場合に記憶内容を消失するおそれがあることは先に述べた通りである。従来ではシステムの使用期間等から適

当に判別し、しかるべき時期にEEPROMを交換するという対策を講じていた。しかし、このような使い方には信頼性という面で不安が残る、妥当なものではない。すなわち、システムがユーザに出荷された後の部品の交換は好ましいことではなく、場合によっては交換が困難なこともありうる。また、交換に要する手間、費用も高額なものとなる。

〔発明の目的〕

そこで、本発明は不揮発性メモリの交換回数を低減し、信頼性を向上しうるメモリ装置を提供することを目的とする。

〔発明の概略〕

上記目的を達成するために、本発明によるメモリ装置は、当該メモリが用いられるシステムに必要とされる記憶容量の複数倍の記憶容量を有する不揮発性メモリを用意し、このメモリを前記必要記憶容量ごとのブロックに記憶エリアを分割し、一の単位ブロックが当該メモリに規定された所定のプログラム番送回数に達したとき他の単位ブ

ロックに順次切替えるようにし、プログラム番送回数に達したことを知るために各単位ブロックに当該単位ブロックへのプログラム番送回数を記憶する専用ロケーションが設けられている点に特徴を有する。

〔発明の効果〕

かかる構成を有する本発明によれば、プログラム番送回数が限定回数に達するとメモリチップを交換する必要がなく、また各専用ロケーションにより限定回数を知ることができるので記憶内容を消失することがなく信頼性を確保しうる。

〔発明の実施例〕

以下、本発明を図示する実施例に基づいて詳述する。

まず、前提として、最近の半導体メモリはEEPROMに限らず、1チップ当りの容量が急激に増加してきており、チップ当りの価格も従来レベルではチップ当りの記憶容量に比例するものではなく、小容量でも大容量でもチップ当りの単価はさ

ほど大きな差はない。したがって、システムに必要とされる容量よりも入手できるEEPROMの1チップ当りの容量はるかに大きなことはよくあることである。そこで、このような余った容量を有効に利用することを可能としたものである。

第2図はシステムに要求される容量の2倍以上の容量を有するEEPROMを用いた場合の例である。記憶エリアは第1のブロック1と第2のブロック2とに分割されている。分割方向は図方向に2分割とする。したがって、単位ブロックである第1のブロック1、第2のブロック2はそれぞれシステムに要求される単位容量以上の容量を有している。

第1、第2のブロック1、2にはそれぞれ当該メモリに対するプログラム番送回数を格納しておくための専用ロケーション3、4が割当てられている。専用ロケーション3、4のビット数は当該メモリのプログラム番送回数の限度値に対応する数とし、対応するメモリセルを割当てて専用ロケーション3、4をそれぞれ構成する。

次に動作を説明する。まず、要約すれば、最初に第1のブロック1を用い、そのプログラム番送回数が規定値に達すると、切替えて第2のブロック2を使用する。第2のブロック2のプログラム番送回数が規定値に達すると、当該EEPROMは交換しなければならない。

プログラム番送回数が規定値に達したか否かは専用ロケーション3、4に格納されたカウント値により知ることができる。すなわち、予め専用ロケーション3に初期値（例えば、0）をセットしておく。それ以後、第1ブロック1へのプログラムの書き込みが発生すると専用ロケーション2を読出してその格納値を1インクリメントし、その値を再び専用ロケーション3に格納する。次いで、専用ロケーション3以外の記憶エリアにプログラムを書込む。なお、インクリメント動作を先にするか、書き込みを先にするかは設計上の問題である。

ところで、EEPROMには1語単位で消去、書き込み（つまり、内容変更）が可能な第1のタイプと、

消去、書き込みのみ1語単位に可能な第2のタイプとがある。

第1のタイプのEEPROMの場合、例えば第1のブロック1の使用にかける未使用領域である第2のブロック2は1語単位で内容変更できるため全く劣化されない。したがって、例えば当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で5000回の合計10000回のプログラム変更が可能となる。

第2のタイプのEEPROMの場合、書き込み時においては1語単位で行われるため劣化は生じないが、消去時には全語（すなわち、第1、第2の両ブロック1、2同時に）行われるため、未使用領域である第2のブロック2も消去動作が行われるので厳密に言えば若干の劣化はありうる。しかし消去時の劣化は書き込み時の劣化に比べて著しく少ないものである。例えば、当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で

第1のブロック1での消去動作を考慮して4000回とすると、合計9000回のプログラム変更が可能となる。

第3図は通常のRAMとEEPROMとを組み合わせて構成した不揮発性RAMに本発明を適用した例を示すブロック図である。第3図において、5はRAMを示しており、第1のブロック6と第2のブロック7に分割されており、各ブロック6、7はEEPROMの第1ブロック、第2ブロック2にそれぞれ対応する記憶容量を有しているものとする。また各ブロック6、7にはそれぞれ専用ロケーション8、9が設けられている。RAM5は通常のシステム動作において、各種情報が書き込まれたり、読出されたりするもので、例えばシステムの電源OFF時にRAM5からその内容をEEPROM側へストアして保持する。

まず、第1のブロック6と1との関係で使用するものとする。専用ロケーション8には予め初期値（例えば“0”）にセットされる。いま、RAM5からその格納内容をEEPROM側へストアしよ

うとする場合、そのストアする直前にRAM5の専用ロケーション8を読み出す。読出された専用ロケーション8の内容を1インクリメントしたのち再度専用ロケーション8に書き込む。専用ロケーション8の更新されたら、RAM5の内容をEEPROMの第1ブロック1へ七つくり書き込む。このとき、専用ロケーション8の内容も専用ロケーション3に書き込まれることはいうまでもない。

次に、再びRAM5を使用する場合には、EEPROMの格納内容を七つくりそのままRAM5側に書き込む（リコールという。）。

このようなプログラムの変更動作が規定回数に達すると、次に使用される領域が第1のブロック6、1の関係から7、2の関係に切換えられ、上述と同様の動作が行われる。

以上の不揮発性RAMについても、使用されるEEPROMが消去、書き込みに関して前述した第1のタイプ、第2のタイプの場合を考慮しなければならぬ。第1のタイプについては消去、書き込みが1語単位で行われるので未使用領域の劣化は生

じないから考えなくてよい。第2のタイプの場合、若干の劣化があるが、プログラム回数の限度値を少な目に設定すれば問題はない。最も問題となるのは、消去、書き込みのいずれも全語で行われるような場合である。そのような場合にはRAM5の未使用領域である第2のブロック6の全語に値“0”を書き込んでおき、ストア時にこの“0”を書き込むようにしておくことで劣化を抑制することができる。

〔発明の実施例〕

(1) 上述した各実施例ではプログラムの書き込み発生毎に専用ロケーション3、4又は8、9の内容を順次1インクリメントすることで更新するものとしたが、予め初期値として当該EEPROMに保証される最大プログラム回数をプリセットしておき、プログラムの変更毎にその内容を1デクリメントするようにしてもよい。そのようにした場合、当該EEPROMは残り何回プログラム変更が可能かを知ることができる。また規定プログラム回数に達した場合に何らかの表示（例えば、CRTデ

ディスプレイ、（プロに表示する等）を行なつて知らしめるようにしたり、情報の消失を積極的に防止するためにプログラムの変更を禁止するようにしてもよい。

(2) EEPROMは2分割するものとして説明したが、記憶すべき情報とEEPROM1チップ毎の容量との関係により、さらに3分割、4分割と複数に分割してもよい。その場合には上記した実施例の構成を分割数に応じて増加させればよい。

(3) また、EEPROMは1チップであるとの前提で説明したが、それぞれ独立したEEPROMを複数用い、各チップを本発明にいうブロックと対応させて構成してもよい。その場合には、消去、書き込みを単独にすることができるので、未使用領域の劣化を防止することが可能となる。

4. 図面の簡単な説明

第1図は一般的なEEPROMの1セルについての断面図で、(a)はプログラムの書き込み状態、(b)は消去状態を示す図、

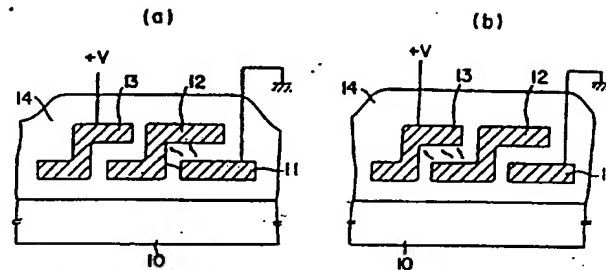
第2図は発明によるメモリ装置の実施例を示すブロック図、

第3図は他の実施例を示すブロック図である。

1…第1のブロック、2…第2のブロック、3…専用ロケーション、4…専用ロケーション、5…RAM、6…第1のブロック、7…第2のブロック、8…専用ロケーション、9…専用ロケーション。

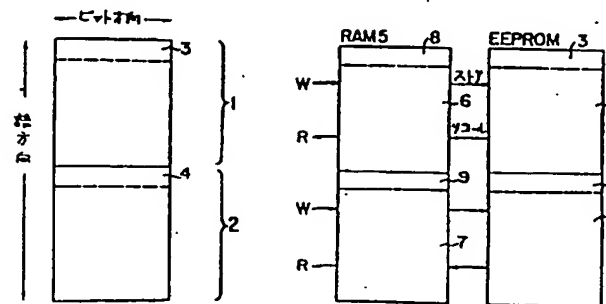
出願人代理人 猪 股 清

第 1 図



第 2 図

第 3 図



(34) NON-VOLATILE MEMORY DEVICE

(11) 58-215794 (A) (43) 15.12.1983 (19) JP

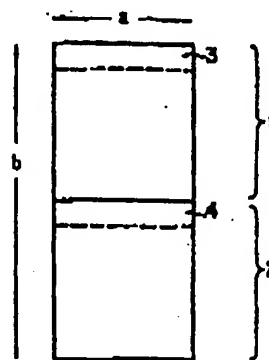
(21) Appl. No. 57-98307 (22) 8.6.1982

(71) TOKYO SHIBAURA DENKI K.K. (72) NORIYUKI TANAKA

(51) Int. Cl. G11C17/00, H01L27/10, H01L29/78

PURPOSE: To decrease the number of times of replacement of a memory and to improve the reliability, by splitting a non-volatile memory having a storage capacity of plural times of that of a system to each block and providing an exclusive location of the number of times of write for each unit block.

CONSTITUTION: A storage area of an EEPROM having a capacity ≥ 2 times the capacity requested to the system is splitted to blocks 1 and 2, and the direction of split is taken in the direction of word arrangement. Exclusive locations 3, 4 to store the number of times of program write to the corresponding memory are allocated to the blocks 1, 2 respectively, and the number of bits of each location corresponds to the limit value of the number of times of program write of the corresponding memory. When the number of times of program write of the block 1 reaches a specified value, the block is used switchingly. Whether or not the number of times of write reaches the specified value is discriminated with a count value stored to the locations 3, 4.



a: direction of bit, b: direction of word

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58-215794

⑪ Int. Cl.³

G 11 C 17/00

H 01 L 27/10

29/78

識別記号

1 0 1

庁内整理番号

6549-5B

6655-5F

7514-5F

⑬ 公開 昭和58年(1983)12月15日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 不揮発性メモリ装置

⑯ 特 願 昭57-98307

⑰ 出 願 昭57(1982)6月8日

⑱ 発 明 者 田中宣幸

⑲ 出 願 人 東京芝浦電気株式会社

⑳ 代 理 人 弁理士 猪股清 外3名

青梅市末広町二丁目9番地東京
芝浦電気株式会社青梅工場内

川崎市幸区堀川町72番地

明 細 書

1. 発明の名称 不揮発性メモリ装置

2. 特許請求の範囲

電氣的にプログラム可能な不揮発性メモリ装置において、当該メモリ装置が用いられるシステムに必要な記憶容量を有する単位ブロックの記憶エリアを複数備え、一の単位ブロックが当該メモリ装置に規定されたプログラム荷込回数に達したとき他の単位ブロックに順次切換えるようにし、各単位ブロックには当該単位ブロックへのプログラム荷込回数を記憶する専用ロケーションが設けられていることを特徴とする不揮発性メモリ装置。

3. 発明の詳細を説明

(発明の技術分野)

本発明は不揮発性メモリ装置、特に電氣的にプログラム可能な半導体不揮発性メモリ装置に関する。

(発明の技術的背景とその問題点)

半導体不揮発性メモリはMOS形FETを利用して書き込みの量により2値情報を記憶させるようにしたもので、電源電圧を印加しなくても記憶内容を保持できるという特徴を有する。

かかる不揮発性メモリには種々のものがあるが、今までのところ、いわゆるUV-EPROM (Ultra Violet-Erasable & Programmable ROM) が多く使用されている。このUV-EPROMは記憶内容を消去するのに紫外線を照射して行うものであるが、書き込み、消去に際しては回路から取外さなければならないという不都合がある。

そこで最近脚光を浴びているのがEEPROM (Electrically Erasable & Programmable ROM) である。このEEPROMは実装の状態でまた別途取付た書き込み、消去装置により自由に書き込みを行うことができるという長所を有しているため、記憶内容の変更が頻発するようなシステム、例えば金銭登録機などには最適である。

一方、EEPROMは通常のスタティックRAM

と組み合わせて構成される不揮発性RAMにも用いられる。この不揮発性RAMは同容量のスタティックRAMとEEPROMとで構成され、電源投入中において通常のRAMとして動作させ、電源のしや断直前にスタティックRAMに格納されている内容を一旦EEPROMへ移してそのまま保持しておき、電源の再投入後にEEPROM側から再びスタティックRAMへ戻すようにして不揮発性を確保するものである。

かかるEEPROMが有する問題点は、書き込みの際して高電圧を印加する必要があるため記憶内容の変更、すなわちプログラム回数が制限されることである。現在のところ、プログラム回数の限度は一般に1000~10000回程度であるとされている。使用に際してはこの制限回数を絶対に守らなければならない。限度を越えた場合の記憶内容はその信頼性において全く保証の限りではないからである。

ここで、EEPROMの動作原理ならびにプログラム回数が制限される理由について説明する。第

13の電位を0[V]に戻し、プログラム動作を終了する。この状態ではフローティングゲート12の電位は負の電位となつている。電子を捕獲しているからである。

次に、消去する場合（第1図(b)参照）について述べる。まず、このセルはすでにプログラムされ、フローティングゲート12には電子が捕獲されているものとする。第1電極11を0[V]に固定し、フローティングゲート12を0[V]とし、第2電極13に+Vの電圧を印加する。すると、フローティングゲート12と第2電極13との間に高電界が発生し、フローティングゲート12に捕獲されていた電子はトンネル効果によりS1絶縁層14を抜けて第2電極13へ追い出される。捕獲電子が存在しなくなつた状態で消去動作は終了し、第2電極13を0[V]に戻す。

以上からわかるように、フローティングゲート12に電子が捕獲されて負の電位になつている状態がプログラム状態であり、その逆が消去状態である。これら2つの状態がメモリ外部での信号論理

1図は代表的なEEPROMの1セルについての断面図であり、(a)はプログラムの書き込み時の状態、(b)は消去時の状態をそれぞれ示している。第1図において、P形Si基板10上には第1層ポリシリコンの第1電極11、第2層ポリシリコンのフローティングゲート12、第3層ポリシリコンの第2電極（書き込み、消去用）がS10絶縁層14とともに設けられている。フローティングゲート12は第1電極11と第2電極13との間にフローティング（すなわち、浮遊）状態で配設されている。

プログラムする場合（第1図(a)参照）、第1電極11を0[V]又はアース電位に固定し、第2電極13に正の高電位+Vを印加する。このとき、フローティングゲート12の電位も第2電極13との静電結合により正の高電位+Vまで上昇する。すると、フローティングゲート12と第1電極11との間に高電界が発生し、トンネル効果により第1電極11からフローティングゲート12に向つて電子が移動し、その電子はフローティングゲート12に捕獲される。電子が十分に捕獲された状態で第2電極

13の電位を0[V]に戻す。ただし、プログラム状態が論理「1」となるか、消去状態が「0」となるかは一義的には定まらない。周辺回路との関係で決まるものだからである。

以上のEEPROMにおいて、プログラム回数が制限される原因はプログラムに際して第2電極13に高電圧を印加し、トンネル効果により第1電極11からフローティングゲート12に電子を移動させることにある。つまり、電子は第1電極11とフローティングゲート12間のS10絶縁層を突抜けて移動するためにストレスが加わり、絶縁層が劣化してしまうからである。なお、既に消去状態にあるセルに消去動作を加えたり、既に書き込み状態にあるセルに書き込み動作を行つてもセルにはそれほどのストレスは加わらないので劣化の発生割合はきわめて少ない。

このようなEEPROMをプログラムの変更がひんぱんに行われるシステムに使用した場合に記憶内容を消去するおそれがあることは先に述べた通りである。従来ではシステムの使用期間等から適

当に判断し、しかるべき時期にEEPROMを交換するという対策を講じていた。しかし、このように使い方には信頼性という面で不安が残り、妥協なものではない。すなわち、システムがユーザに出荷された後の商品の交換は好ましいことではなく、場合によっては交換が困難なこともありうる。また、交換に要する手間、費用も高額なものとなる。

〔発明の目的〕

そこで、本発明は不揮発性メモリの交換回数を極力減少し、信頼性を向上しうるメモリ装置を提供することを目的とする。

〔発明の概要〕

上記目的を達成するために、本発明によるメモリ装置は、当該メモリが用いられるシステムに必要とされる記憶容量の複数倍の記憶容量を有する不揮発性メモリを用意し、このメモリを前記必要記憶容量ごとのブロックに記憶エリアを分割し、一の単位ブロックが当該メモリに規定された所定のプログラム書き込回数に達したとき他の単位ブ

ックに順次切替えるようにし、プログラム書き込回数に達したことを知るために各単位ブロックに当該単位ブロックへのプログラム書き込回数を記憶する専用ロケーションが設けられている点に特徴を有する。

〔発明の効果〕

かかる構成を有する本発明によれば、プログラム書き込回数が規定回数に達するとメモリチップを交換する必要がなく、また各専用ロケーションにより規定回数を知ることができるので記憶内容を消失するようなことがなく信頼性を確保しうる。

〔発明の実施例〕

以下、本発明を図示する実施例に基づいて詳述する。

まず、前提として、最近の半導体メモリはEEPROMに限らず、1チップ当りの容量が急激に増加してきており、チップ当りの価格は量産レベルではチップ当りの記憶容量に比例するものではなく、小容量でも大容量でもチップ当りの単価はさ

ほど大きな差はない。したがって、システムに必要とされる容量よりも入手できるEEPROMの1チップ当りの容量がはるかに大きなことはよくあることである。そこで、このような余った容量を有効に利用することを可能としたものである。

第2図はシステムに要求される容量の2倍以上の容量を有するEEPROMを用いた場合の例である。記憶エリアは第1のブロック1と第2のブロック2とに分割されている。分割方向は図方向に2分割とする。したがって、単位ブロックである第1のブロック1、第2のブロック2はそれぞれシステムに要求される単位容量以上の容量を有している。

第1、第2のブロック1、2にはそれぞれ当該メモリに対するプログラム書き込回数を格納しておくための専用ロケーション3、4が割当てられている。専用ロケーション3、4のビット数は当該メモリのプログラム書き込回数の限度値に対応する数とし、対応するメモリセルを割当てて専用ロケーション3、4をそれぞれ構成する。

次に動作を説明する。まず、要約すれば、最初に第1のブロック1を用い、そのプログラム書き込回数が規定値に達すると、切替えて第2のブロック2を使用する。第2のブロック2のプログラム書き込回数が規定値に達すると、当該EEPROMは交換しなければならない。

プログラム書き込回数が規定値に達したか否かは専用ロケーション3、4に格納されたカウント値により知ることができる。すなわち、予め専用ロケーション3に初期値（例えば“0”）をセットしておく。それ以後、第1ブロック1へのプログラムの書き込みが発生すると専用ロケーション2を読出してその格納値を1インクリメントし、その値を再び専用ロケーション3に格納する。次いで、専用ロケーション3以外の記憶エリアにプログラムを書込む。なお、インクリメント動作を先にするか、書き込みを先にするかは設計上の問題である。

ところで、EEPROMは1語単位で消去、書き込み（つまり、内容変更）が可能な第1のタイプと、

消去は全語でしかできず書き込みのみ1語単位に可能な第2のタイプとがある。

第1のタイプのEEPROMの場合、例えば第1のブロック1の使用途中における未使用領域である第2のブロック2は1語単位で内容変更できるため全く劣化されない。したがって、例えば当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で5000回の合計10000回のプログラム変更が可能となる。

第2のタイプのEEPROMの場合、書き込み時においては1語単位で行われるため劣化は生じないが、消去時には全語（すなわち、第1、第2の両ブロック1、2同時に）行われるため、未使用領域である第2のブロック2も消去動作が行われるので厳密に言えば若干の劣化はありうる。しかし消去時の劣化は書き込み時の劣化に比べて著しく少ないものである。例えば、当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で

うとする場合、そのストアする直前にRAM5の専用ロケーション8を読み出す。読出された専用ロケーション8の内容を1インクリメントしたのち再度専用ロケーション8に書き込む。専用ロケーション8の更新されたら、RAM5の内容をEEPROMの第1ブロック1へそっくり書き込む。このとき、専用ロケーション8の内容も専用ロケーション3に書き込まれることはいうまでもない。

次に、再びRAM5を使用する場合には、EEPROMの格納内容をそっくりそのままRAM5側に書き込む（リコールという。）。

このようなプログラムの変更動作が規定回数に達すると、次に使用される領域が第1のブロック6、1の関係から7、2の関係に切換えられ、上述と同様の動作が行われる。

以上の不揮発性RAMについても、使用されるEEPROMが消去、書き込みに関して前述した第1のタイプ、第2のタイプの場合を考慮しなければならない。第1のタイプについては消去、書き込みが1語単位で行われるので未使用領域の劣化は生

は第1のブロック1での消去動作を考慮して4000回とすると、合計9000回のプログラム変更が可能となる。

第3図は通常のRAMとEEPROMとを組み合わせて構成した不揮発性RAMに本発明を適用した例を示すブロック図である。第3図において、5はRAMを示しており、第1のブロック6と第2のブロック7に分割されており、各ブロック6、7はEEPROMの第1ブロック1、第2ブロック2にそれぞれ対応する記憶容量を有しているものとする。また各ブロック6、7にはそれぞれ専用ロケーション8、9が設けられている。RAM5は通常のシステム動作において、各種情報が書き込まれたり、読出されたりするもので、例えばシステムの電源OFF時にRAM5からその内容をEEPROM側へストアして保持する。

まず、第1のブロック6と1との関係で使用するものとする。専用ロケーション8には予め初期値（例えば“0”）にセットされる。いま、RAM5からその格納内容をEEPROM側へストアしよ

うしないから考えなくてよい。第2のタイプの場合、若干の劣化があるが、プログラム回数の限度値を少な目に設定すれば問題はない。最も問題となるのは、消去、書き込みのいずれも全語で行われるような場合である。そのような場合にはRAM5の未使用領域である第2のブロック6の全てに値“0”を書き込んでおき、ストア時にこの“0”を書き込むようにしておくことで劣化を抑制することができる。

〔発明の変形例〕

(1) 上述した各実施例ではプログラムの書き込み発生毎に専用ロケーション3、4又は8、9の内容を順次1インクリメントすることで更新するものとしたが、予め初期値として当該EEPROMに保証される最大プログラム回数をプリセットしておき、プログラムの変更毎にその内容を1デクリメントするようにしてもよい。そのようにした場合、当該EEPROMは残り何回プログラム変更が可能かを知ることができる。また規定プログラム回数に達した場合に何らかの表示（例えば、CRTデ

ディスプレイ、ランプに表示する等)を行なつて知らしめるようにしたり、情報の消失を積極的に防止するためにプログラムの変更を禁止するようにしてもよい。

(2) EEPROMは2分割するものとして説明したが、記憶すべき情報とEEPROM1チップ当りの容量との関係により、さらに3分割、4分割と複数に分割してもよい。その場合には上記した実施例の構成を分割数に応じて増加させればよい。

(3) また、EEPROMは1チップであるとの前提で説明したが、それぞれ独立したEEPROMを複数用い、各チップを本発明にいうブロックと対応させて構成してもよい。その場合には、消去、書き込みを単独にすることができるので、未使用領域の劣化を防止することが可能となる。

4. 図面の簡単な説明

第1図は一般的なEEPROMの1セルについての断面図で、(a)はプログラムの書き込み状態、(b)は消去状態を示す図、

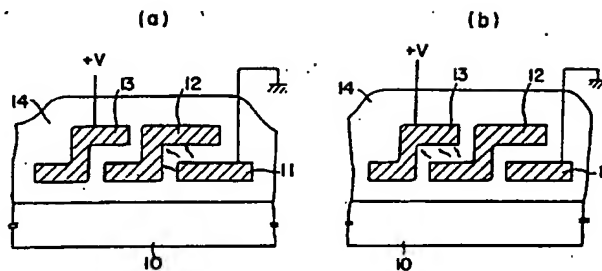
第2図は本発明によるメモリ装置の実施例を示すブロック図、

第3図は他の実施例を示すブロック図である。

1…第1のブロック、2…第2のブロック、
3…専用ロケーション、4…専用ロケーション、
5…RAM、6…第1のブロック、7…第2のブロック、
8…専用ロケーション、9…専用ロケーション。

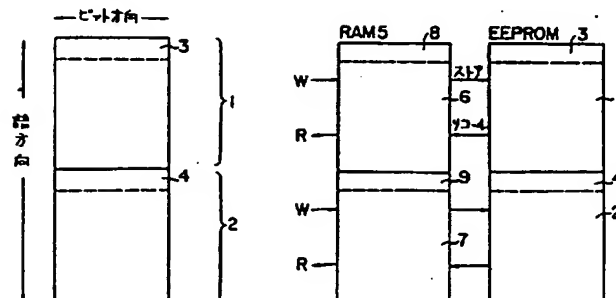
出願人代理人 猪 股 清

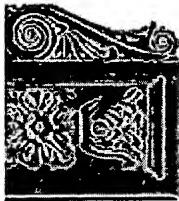
第 1 図



第 2 図

第 3 図





Tim Smith/PHDR
02/05/2004 09:49 AM

To alex@uln.com
cc Philip Yau/PHDR@PHDR, Tim Smith/PHDR@PHDR, Tracy
Knox/PHDR@PHDR
bcc
Subject REMINDER- ULN1.003US0 Maintenance Fee Due February
28, 2004

RE: US Patent No. 6,112,242 of ULN Corporation
SYSTEM AND METHOD FOR DYNAMIC DATA INTERACTION IN A HYPERTEXT DATA
PROCESSING SYSTEM

Inventors: Jois et al.

AppNo: US 08/677,855 filed 07/10/1996 (Priority:)

GrantNo: US 6,112,242 on 08/29/2000

Our Ref: ULN1.003US0 (formerly M-11714 US)

Dear Mr. Stankovic:

The first maintenance fee for the above-referenced patent is **due on February 28, 2004**. The total amount including our fees is approximately \$675. As you may know, if maintenance fees are not paid the patent/application will become abandoned. Please let us know your payment instructions as soon as possible.

Would you like us to PAY, ABANDON or will a THIRD PARTY HANDLE the fee? If you would like us to pay the maintenance fee, please send advance payment to our address below in the amount of \$675.

Please contact us if you have any questions.

Sincerely,

Timothy Smith
Docketing Specialist
Parsons Hsue & de Runtz LLP
655 Montgomery Street, Suite 1800
San Francisco, CA 94111
Tel: (415)318-1160 (direct)
Fax: (415)693-0194
tsmith@phdr-law.com